

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

# JP 7115191 - Derwent

1/7/1

DIALOG(R) File 351:Derwent WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

010296285 \*\*Image available\*\* WPI Acc No: 1995-197545/199526

Diamond FET mfr. - comprises forming conductive contact layers over source drain domain on diamond layer sepd. by active channel domain having silicon carbide layer which acts as gate

Patent Assignee: KOBE STEEL LTD (KOBM )

Number of Countries: 001 Number of Patents: 001

## Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 7115191	A	19950502	JP 93324306	A	19931222	199526 B

Priority Applications (No Type Date): US 9321206 A 19930223

## Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 7115191	A	7	H01L-029/78	

## Abstract (Basic): JP 7115191 A

The process forms a diamond layer (12) over a substrate (13). The diamond layer consists of a source domain (15) and a drain domain (16) isolated by an active channel domain (14) formed between them in horizontal direction. All three domains are formed by an ion implantation process. High concn. doping is carried out on the surface part (15a,16a) of the source drain domains to form a low resistance contact surface. Over the contact surface, conductive contact layers (15b,16b) are formed. A silicon carbide gate layer (17) having a conductive contact layer on top surface (17a) is formed on the diamond layer over the active channel domain.

ADVANTAGE - The source gate drain domains are formed precisely.

Dwg.1/8

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-029/78

## JP 7115191 - Japio

1/9/1

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

04822591 \*\*Image available\*\*

### DIAMOND FIELD EFFECT TRANSISTOR AND ITS MANUFACTURE

PUB. NO.: 07-115191 JP 7115191 A]  
PUBLISHED: May 02, 1995 (19950502)  
INVENTOR(s): KARUYANKUMAARU DASU  
APPLICANT(s): KOBE STEEL LTD [000119] (A Japanese Company or Corporation),  
JP (Japan)  
APPL. NO.: 05-324306 [JP 93324306]  
FILED: December 22, 1993 (19931222)  
PRIORITY: 7-21,206 [US 21206-1993], US (United States of America),  
February 23, 1993 (19930223)  
INTL CLASS: [6] H01L-029/78  
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)  
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

### ABSTRACT

PURPOSE: To improve the performance of a diamond FET by a method wherein a diamond layer which has high impurity concentration doped surface parts and source and drain regions which are separated from each other with a certain distance and a gate composed of a silicon carbide layer are provided and the gate is placed on an active channel region.

CONSTITUTION: A diamond layer 12 formed on a support substrate 13 has a drain region 16 and a source region 15 which are horizontally separated from each other and an active channel region 14 spread between the source region 15 and the drain region 16. The surface parts 15a and 16a of the source region 15 and the drain region 16 are doped with high concentration impurities. Further, contact layers 15b and 16b on the surface parts 15a and 15b are composed of double-layer structures of titanium and gold or titanium carbide and gold. A silicon carbide layer 17 which is to be the gate of an FET 10 is formed on the diamond layer 12 which is the surface layer on the active channel region 14 and, further, between the surface parts 15a and 16a. A conductive contact layer 17a is formed on the silicon carbide layer 17.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-115191

(43) 公開日 平成7年(1995)5月2日

(51) IntCl <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78		7514-4M	H 0 1 L 29/78	3 0 1 B

審査請求 未請求 請求項の数27 O L (全 7 頁)

(21) 出願番号 特願平5-324306

(22) 出願日 平成5年(1993)12月22日

(31) 優先権主張番号 08/021, 206

(32) 優先日 1993年2月23日

(33) 優先権主張国 米国 (U S)

(71) 出願人 000001199

株式会社神戸製鋼所

兵庫県神戸市中央区臨浜町1丁目3番18号

(72) 発明者 カルヤンクマール・ダス

アメリカ合衆国, ノースカロライナ州

27607, ローリ, デルウッド・ドライブ,

1540

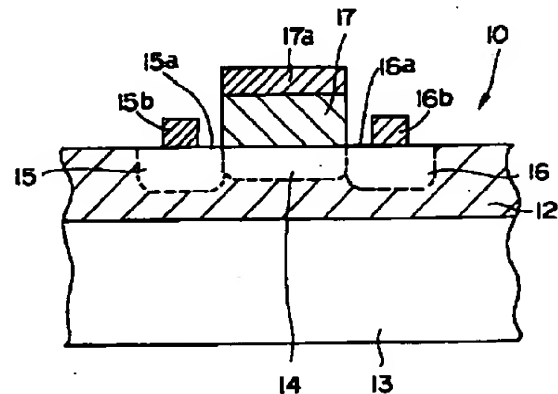
(74) 代理人 弁理士 藤巻 正憲

(54) 【発明の名称】 ダイヤモンド電界効果トランジスタ及びその製造方法

(57) 【要約】

【目的】 ソース及びドレイン用に低抵抗のオーミックコンタクトを有し、従来の装置を使用して高精度のソース、ゲート及びドレイン領域を形成することができるダイヤモンド電界効果トランジスタ及びその製造方法を提供する。

【構成】 ダイヤモンド電界効果トランジスタは横方向に離隔するソース及びドレイン領域15、16並びにその間の活性チャネル領域14を有するダイヤモンド層12を備えている。ソース及びドレイン領域並びに活性チャネル領域は好ましくはイオン注入により形成されている。炭化シリコンゲート17はソース領域とドレイン領域との間のダイヤモンド層上の活性チャネル領域の上に形成されている。ソース及びドレイン領域は加えてイオン注入とエッチングにより形成された高ドープ表面を有する。ゲートはソース及びドレイン領域を自己整合的に形成するためのマスクとして使用される。FETのダイヤモンド層は単結晶か又はゲートとの間に絶縁層を形成した多結晶ダイヤモンドで形成することができる。



## 【特許請求の範囲】

【請求項1】 横方向に離隔したソース領域及びドレイン領域並びにその間の活性チャネル領域を有し、前記ソース領域及び前記ドレイン領域は低抵抗オーミックコンタクトを形成するための高濃度ドーパされた表面部を有するダイヤモンド層と、前記ソース領域及び前記ドレイン領域の前記高濃度ドーパされた表面部の間の前記ダイヤモンド層上に設けられ、前記活性チャネル領域に重なり前記活性チャネル領域の変調を可能にする炭化シリコン層からなるゲートとを有することを特徴とするダイヤモンド電界効果トランジスタ。

【請求項2】 前記ゲートは光学的に透明であることを特徴とする請求項1に記載のダイヤモンド電界効果トランジスタ。

【請求項3】 前記ソース領域及び前記ドレイン領域の前記高濃度ドーパされた表面部は夫々 $10^{20} \text{ cm}^{-3}$ 以上の不純物ドーパ濃度を有することを特徴とする請求項1に記載のダイヤモンド電界効果トランジスタ。

【請求項4】 前記ダイヤモンド層は単結晶ダイヤモンドであることを特徴とする請求項1に記載のダイヤモンド電界効果トランジスタ。

【請求項5】 前記ダイヤモンド層は多結晶ダイヤモンドであることを特徴とする請求項1に記載のダイヤモンド電界効果トランジスタ。

【請求項6】 前記ゲートは更に前記ダイヤモンド層と前記炭化シリコン層との間に設けられた絶縁層を有することを特徴とする請求項5に記載のダイヤモンド電界効果トランジスタ。

【請求項7】 前記絶縁層は絶縁性ダイヤモンドであることを特徴とする請求項6に記載のダイヤモンド電界効果トランジスタ。

【請求項8】 前記ダイヤモンド層上の前記ゲートの反対側に基板を有することを特徴とする請求項1に記載のダイヤモンド電界効果トランジスタ。

【請求項9】 横方向に離隔したソース領域及びドレイン領域並びにその間の活性チャネル領域を有するダイヤモンド層と、前記ダイヤモンド層上に前記活性チャネル領域に対応して設けられ前記活性チャネル領域の変調を可能にする炭化シリコンからなるゲートとを有することを特徴とするダイヤモンド電界効果トランジスタ

【請求項10】 前記ゲートは光学的に透明であることを特徴とする請求項9に記載のダイヤモンド電界効果トランジスタ。

【請求項11】 前記ソース領域及び前記ドレイン領域はそれにオーミックコンタクトを形成するための高濃度にドーパされた表面部分を有することを特徴とする請求項10に記載のダイヤモンド電界効果トランジスタ。

【請求項12】 前記ソース領域及び前記ドレイン領域の前記高濃度ドーパされた表面部分は夫々 $10^{20} \text{ cm}^{-3}$ 以上の不純物ドーパ濃度を有することを特徴とする請求

項11に記載のダイヤモンド電界効果トランジスタ。

【請求項13】 前記ダイヤモンド層は単結晶ダイヤモンドであることを特徴とする請求項9に記載のダイヤモンド電界効果トランジスタ。

【請求項14】 前記ダイヤモンド層は多結晶ダイヤモンドであることを特徴とする請求項9に記載のダイヤモンド電界効果トランジスタ。

【請求項15】 前記ゲートは、更に、前記多結晶ダイヤモンド層と前記ゲートとの間の絶縁層を有することを特徴とする請求項14に記載のダイヤモンド電界効果トランジスタ。

【請求項16】 前記絶縁層は絶縁性ダイヤモンドであることを特徴とする請求項15に記載のダイヤモンド電界効果トランジスタ。

【請求項17】 前記ダイヤモンド層上の前記ゲートの反対側に基板を有することを特徴とする請求項9に記載のダイヤモンド電界効果トランジスタ。

【請求項18】 ダイヤモンド層中にソース領域及びドレイン領域並びに前記ソース領域及び前記ドレイン領域の間の活性チャネル領域を形成する工程と、前記ダイヤモンド層の前記活性チャネル領域に対応して設けられ前記活性チャネル領域の変調を行う炭化シリコン層からなるゲートを形成する工程とを有することを特徴とするダイヤモンド電界効果トランジスタの製造方法。

【請求項19】 前記活性チャネル領域を形成する工程が前記ダイヤモンド層の所定部分に一回又は複数回イオン注入する工程を有することを特徴とする請求項18に記載のダイヤモンド電界効果トランジスタの製造方法。

【請求項20】 前記ソース領域及びドレイン領域の表面部分に高濃度ドーパする工程を有することを特徴とする請求項18に記載のダイヤモンド電界効果トランジスタの製造方法。

【請求項21】 前記ソース領域及びドレイン領域の表面部分に高濃度ドーパする工程は前記ダイヤモンド層の所定部分に1回又は複数回イオン注入する工程と、得られた構造物をアニールしてソース領域及びドレイン領域の表面部分を黒鉛化する工程と、前記ソース領域及びドレイン領域の黒鉛化した表面部分を除去して、前記ソース領域及びドレイン領域の各高濃度ドーパされた表面部分を露出する工程とを有することを特徴とする請求項20に記載のダイヤモンド電界効果トランジスタの製造方法。

【請求項22】 前記ソース領域及びドレイン領域を形成する工程に先行して、ダイヤモンド層上にシリコン層をパターン形成することにより活性チャネル領域をマスクする工程を有することを特徴とする請求項18に記載のダイヤモンド電界効果トランジスタの製造方法。

【請求項23】 得られた構造体をアニールしてパターニングされたシリコン層の一部を炭化シリコン層からなるゲートに変化させる工程を有することを特徴とする請

請求項22に記載のダイヤモンド電界効果トランジスタの製造方法。

【請求項24】 前記ダイヤモンド層は多結晶ダイヤモンドであり、更に、多結晶ダイヤモンド層と炭化シリコン層との間に絶縁層を形成する工程を有することを特徴とする請求項18に記載のダイヤモンド電界効果トランジスタの製造方法。

【請求項25】 ダイヤモンド層に選択的にイオン注入して活性チャネル領域を形成する工程と、ソース領域及びドレイン領域に対する開口部分を有するパターンニングされたシリコン層をダイヤモンド層内の活性チャネル領域の上に形成する工程と、前記パターンニングされたシリコン層で選択的にダイヤモンド層をマスクしつつソース領域及びドレイン領域をダイヤモンド層内にイオン注入する工程と、熱処理して前記シリコン層から炭化シリコンゲートを形成し、ソース及びドレイン領域の表面部分を黒鉛化する工程と、ソース領域及びドレイン領域の各黒鉛化した表面部分を除去して各高濃度ドーピングされた表面部分を露出する工程とを有することを特徴とするダイヤモンド電界効果トランジスタの製造方法。

【請求項26】 シリコン層に隣接してスペーサ部を形成し、前記ダイヤモンド層の活性チャネル領域をマスクする工程を有することを特徴とする請求項25に記載のダイヤモンド電界効果トランジスタの製造方法。

【請求項27】 前記ダイヤモンド層が多結晶ダイヤモンドであり、更に、前記多結晶ダイヤモンド層と前記炭化シリコン層との間に絶縁層を形成する工程を有することを特徴とする請求項25に記載のダイヤモンド電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体デバイスに関し、特に半導体ダイヤモンドを含む電界効果トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】 シリコンのような半導体材料を用いて製作された従来のダイヤモンド電界効果トランジスタ(FET)は、信号の増幅及びスイッチングから論理回路及び記憶回路の機能の実現までの応用分野で広く使用されている。FETはバイポーラトランジスタより製造が単純であるという特長があるので、例えばデジタル集積回路に広く使用されている。

【0003】 ダイヤモンドはシリコン、ゲルマニウム又はガリウム砒素より優れた半導体特性を有しているので、FETのような多くの半導体デバイス用の材料として高く評価されている材料である。なぜなら、ダイヤモンドはこれらの従来の半導体材料より高いエネルギーバンドギャップ、高い耐電圧及び高い飽和速度を有する。これらのダイヤモンドの性質によって、シリコン、ゲルマニウム及びガリウム砒素を使用して製作したデバイス

に比べて遮断周波数及び最大動作電圧が著しく増大する。

【0004】 シリコンは約200℃以上の温度、ガリウム砒素は約300℃以上の温度では使用できない。この温度の制限は、一つにはシリコンのエネルギーバンドギャップ(室温で1.12eV)及びガリウム砒素のエネルギーバンドギャップ(室温で1.42eV)が比較的小さいことが原因である。それに比べ、ダイヤモンドは室温で5.47eVの大きなバンドギャップを有しており、また約1400℃の温度まで熱的に安定である。

【0005】 ダイヤモンドは室温においていかなる固体よりも高い熱伝導率をもち、広い温度範囲において良好な熱伝導率を示す。ダイヤモンドが高い熱伝導率を有することは、集積回路において、特に集積密度が増大するにつれ、消費熱を取り除くためにダイヤモンドを使用することの有効性が増大する。加えて、ダイヤモンドは放射線環境下でその劣化をもたらす中性子断面積が小さく、ダイヤモンドは所謂放射線に強い材料である。

【0006】 半導体デバイス用の材料としてのダイヤモンドの利点から、現在、その成長と、高温電子デバイス及び耐放射線用電子デバイスとしての使用とが注目されている。FETは現在の集積回路の基本的な構成要素であるから、ダイヤモンドFETの設計と製作に関心がもたれている。例えば、タイプ2aのダイヤモンド基板内にボロンを打ち込み、活性化させるために、急速熱処理(RTP)技術を使用して製作したダイヤモンド金属半導体電界効果トランジスタ(MESFET)が「浅いRTPボロンドーピングを使用したダイヤモンドMESFET」と題する論文に記載されている(Tsai et al., IEEE Electron Device Letters, Vol 12, No. 4, PP. 157-159 April 1991)。

【0007】 MESFETは下層の半導体ダイヤモンド層と整流接触を形成するゲート電極を有する。Tsaiの論文は約1400℃の高温でRTP技術を使用してダイヤモンド内にp型のドーパントとしてボロンを導入するための熱拡散源として立方晶ボロンを使用することを開示している。しかしながら、工業上利用可能な処理チャンバは通常約1200℃の温度まで操作可能であり、前述の高温での処理はチャンバの能力を超えている。更に、Tsai等のMESFETで使用したタイプ2aのダイヤモンドは、空素ドナーを生成する空素を含み、アクセプターを補う。この補償現象は、ボロンドーパントの一部の有効性を減少させる。

【0008】 他の公知のダイヤモンドFETが、「高温での応用のための絶縁ゲート型ダイヤモンドFETの製造」(Hewett et al, International High Temperature Electronics Conference in Albuquerque, NM, pp. 168-173, June 1991)と題された論文に開示されている。この論文においては複数回のイオン注入工程によりダイヤモンド層に一樣にドーピングして形成されたボロンドー

ブダイヤモンドチャネル領域を有する絶縁ゲートFET (IGFET) が開示されている。Hewlett et al. は IGFETのソース及びドレイン領域に、追加のイオン注入工程を行う等の方法により、このソース及びドレイン領域を高濃度にドーピングすることによって特定の接触抵抗に著しい改善が得られるということを示唆している。しかしながら、この複数回のイオン注入工程は極めて低い温度、即ち約77°Kで行う必要があるため、注入工程は液体窒素による冷却を必要とする。

【0009】米国特許USP 5,107,315 (1992年4月21日発行；発明者、熊谷等；譲受人、本願出願人；発明の名称「ダイヤモンド絶縁層を下層に有するMIS型ダイヤモンド電界効果トランジスタ」には多結晶ダイヤモンド層と金属ゲート層との間にダイヤモンド絶縁層を有する金属絶縁体半導体FET (MISFET) が開示されている。同様に、米国特許USP 5,072,264 (Jones；発明の名称「ダイヤモンドトランジスター及びその製造方法」) と、米国特許USP 5,114,871 (Jones；「ダイヤモンド電子デバイスの製造」) はいずれもダイヤモンド基板と金属ゲート層との間に絶縁層を有するMISFETを開示している。Jonesの米国特許に開示された絶縁層の材料は酸化物、窒化物、窒素酸化物又は炭化物である。

【0010】従来のFETはフォトリソグラフィのマスク工程とエッチング工程とを繰り返すことにより製造される。しかしながら、FETの製造の間、順次形成されるマスクを高精度で整合させることは難しい。従って、従来技術の公差と分解能がFETのサイズに限界をもたらしていた。この限界が、動作周波数域のようなデバイスの性能にも限界を与えている。

【0011】上述の米国特許USP 5,144,871 はゲート電極がソース及びドレイン領域のイオン注入のためのマスクとして機能する自己整合技術を開示している。加えて、フォトリソの堆積及びこれに関連する透明ダイヤモンド基板を介しての紫外線露光が、ソース及びドレイン電極の製造に使用されている。

【0012】本発明はかかる問題点に鑑みてなされたものであって、ソース及びドレイン用に低抵抗のオーミックコンタクトを有し、従来の装置を使用して高精度のソース、ゲート及びドレイン領域を形成することができるダイヤモンド電界効果トランジスタ及びその製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段及び作用】本発明に係るダイヤモンド電界効果トランジスタ (以下、FETともいう) は高濃度にドーピングされた表面部を有し、相互に間隔を設けたソース及びドレイン領域を有するダイヤモンド層と、活性チャネル領域に関連する炭化シリコン層を有するゲートとを有し、ゲートに信号を印加することによりチャネル領域の変調を可能にするように前記ゲートは

活性チャネル領域の上に重ねられている。このゲートはFETを光エレクトロニクスに応用技術に使用できるように、光学的に透明であることが好ましい。

【0014】ダイヤモンド層は、好ましくは基板上に形成され、単結晶又は多結晶のダイヤモンドである。多結晶ダイヤモンドの場合は、絶縁層を炭化シリコン層と活性チャネル領域との間に形成することが好ましい。この絶縁層は、光学的に透明で、高温で動作可能である絶縁性ダイヤモンドであることが好ましい。

【0015】高濃度にドーピングされたソースとドレインの表面部は低抵抗のオーミックコンタクトを与え、これにより、FETの高出力及び/又は高周波数動作を可能とする。高濃度にドーピングされたソース及びドレイン領域の表面部でのドーピング物質の濃度は約 $10^{20} \text{ cm}^{-3}$ 以上であることが好ましい。

【0016】本発明のダイヤモンドFETは以下のよう製造することができる。まず、ボロンによる多数回のイオン注入等を行って、ダイヤモンド層にチャネル領域を形成する。シリコン層はダイヤモンド層の上に堆積される。シリコン層は通常のフォトリソグラフィ技術によりパターンニングされ、またエッチングされて、ソース及びドレイン領域にイオン注入するための開口部を形成する。

【0017】約1000℃で高温処理した後、約1200℃で高温処理する2段階の熱処理により、チャネル領域の上に形成されたシリコンが炭化シリコンに変化してゲートが形成される。加えて、この熱処理により注入ダメージを受けたソース及びドレイン領域の表面部を黒鉛化する。この黒鉛化した表面部は、ソース及びドレイン用の高濃度にドーピングされた表面部を露出させるために、化学的にエッチングすることができる。次に、金属コンタクト層を高濃度にドーピングされた表面上に堆積して低抵抗コンタクトを形成することができる。

【0018】

【実施例】以下、本発明の好適実施例について添付の図面を参照して詳細に説明する。なお、本発明はこの実施例に限定されず、種々の変形が可能である。以下の実施例の記載は本発明の開示を十分にするためのものである。図において、層及び領域の厚さは明確化のために誇張してある。また同一符号は同一の構成物を示す。

【0019】まず、図1を参照すると、本発明の実施例に係るFET10は、好ましくは支持基板13上に形成されたダイヤモンド層12を有する。ダイヤモンド層12は単結晶ダイヤモンド又は多結晶ダイヤモンドのいずれでもよい。図1に示す実施例においては、ダイヤモンド層12は単結晶ダイヤモンドであることが好ましい。従って、基板13は好ましくは単結晶ダイヤモンドであるか、又はダイヤモンドと格子整合性が優れた材料で形成されていて、その上に単結晶ダイヤモンドを形成することを可能にするものである。例えば、基板13はダイ

ダイヤモンドと比較的結晶格子に近い天然ダイヤモンド、単結晶のニッケル若しくは銅、又はニッケルと銅の合金にすることができる。この技術分野の当業者であれば容易に理解できるように、基板13は電気伝導性なので、ダイヤモンド層12を絶縁性ダイヤモンドとするか、又は絶縁性ダイヤモンドからなる中間層(図示せず)をダイヤモンド層と基板との間に設けることが好ましい。

【0020】ダイヤモンド層12はドレイン領域16から横方向に隔離したソース領域15を有する。また、ダイヤモンド層12は、ソース領域15とドレイン領域16との間に拡がる活性なチャネル領域14を有する。ソース領域15及びドレイン領域16は夫々低抵抗のオーミックコンタクトを各の領域に形成するために、高濃度にドーパされた表面部15a及び16aを有する。高濃度にドーパされた表面部15a及び16aは夫々不純物ボロンの濃度が約 $10^{20} \text{ cm}^{-3}$ 以上であることが望ましい。各導電性コンタクト層15b及び16bは好ましくはソース及びドレイン領域の高濃度にドーパされた表面部15a及び16a上に設けられる。コンタクト層15b及び16bは好ましくは金属であり、例えば、ダイヤモンドとオーミックコンタクトを形成し、比較的高温での動作に耐えられるものとして、チタンと金との2層か、又は炭化チタンと金との2層構造がある。

【0021】炭化シリコン層17は活性チャネル領域14上の表層のダイヤモンド層12上であって、高濃度ドーパされたソース及びドレインの表面部15a、16aの間に位置している。炭化シリコン層17はこのようにFET10のゲートとする。炭化シリコンは、FET10の光学的な応用を可能にするために、光学的に透明であることが望ましい。導電性コンタクト層17aは炭化シリコン層17との電気的接続を可能にするために炭化シリコン層17上に形成することが望ましい。金属コンタクト層17aは下層の光学的に透明な炭化シリコン層17を介して光学的に結合するために一つ又は複数の開口部(図示せず)を有するように形成することができる。又は、インジウムスズ酸化物(ITO)のような透明な導電性材料を使用することもできる。

【0022】次に、本発明の第2の実施例のFET20について図2を参照して説明する。FET20は図1の第1の実施例で図示し説明したものと同様の構成要素を含む。同一の構成要素は同一の符号を付してその詳細な説明は省略する。しかしながら、第2の実施例のFET20は、通常、シリコンのような非ダイヤモンド基板22の上に形成されるダイヤモンド層21が多結晶ダイヤモンドである。当業者であれば容易に理解されるように、非ダイヤモンド基板上の多結晶ダイヤモンドは、通常単結晶ダイヤモンドよりコストの点で有利である。

【0023】多結晶ダイヤモンドには結晶粒界及び欠陥があることから、多結晶ダイヤモンド上の金属層は容易には整流コンタクトを形成しない。従って、多結晶ダイ

ヤモンドを含むFET20の実施例においては、ダイヤモンド層21中の活性チャネル領域と炭化シリコン層17との間に絶縁層23を設けることが望ましい。絶縁層23は光学的に透明で高温での動作にも適している絶縁性ダイヤモンドであることが好ましい。

【0024】次に、図3乃至図7を参照して、図1に示す実施例のFET10の製造方法について説明する。ホモエピタキシャルダイヤモンド層12は、適宜の基板13上に、当業者であれば容易に理解できるように、高プラズマ化学気相蒸着のような通常のダイヤモンド膜堆積法を用いて堆積される。その後、ダイヤモンド層12の表面は通常の化学的及び/又は機械的な方法により研磨される。

【0025】次に、ダイヤモンド層12の一部に図3に示すように、通常の技術によりボロンをイオン注入し、活性チャネル領域14を含む中間構造を形成する。活性チャネル領域14は好ましくは3回の工程からなる複数のイオン注入工程により形成することができ、これにより $10^{16} \text{ cm}^{-3}$ 乃至 $10^{19} \text{ cm}^{-3}$ の所望のドーパ濃度を得る。当業者であれば容易に理解できるように、基板が導電性基板の場合には、絶縁性ダイヤモンド層をダイヤモンド層12と基板13との間に形成することが好ましい。一方、ダイヤモンド層12を、絶縁性ダイヤモンドとし、この絶縁性ダイヤモンドの中に、チャネル領域14とソース及びドレイン領域15、16とを形成してもよい。

【0026】活性なチャネル領域14を形成する注入工程は液体窒素の冷却を必要とせず、容易に行うことができる。むしろ、注入は室温か又は室温よりわずかに高い温度で行うことができる。本発明の活性なチャネル領域14は固体中のボロン拡散のような約 $1400^\circ\text{C}$ の高温を必要とせずに形成することができる。このような高温は殆どの通常の処理装置の限界を超えている。

【0027】図4に示すように、多結晶又は非晶質のシリコン層17が図3の構造の上に堆積される。シリコンは通常のスパッタリング又は化学気相蒸着等の堆積技術により堆積することができる。次に、シリコン層17は、通常のフォトリソグラフィ技術を使用してパターンニングされ、横方向に隔離した1対の開口部15c及び16cを形成するためにエッチングされる。この開口部15c、16cはソース及びドレイン領域15、16用のマスクとなる。更に、例えば $\text{SiO}_2$ 又は $\text{Si}_3\text{N}_4$ 等のサイドウォールのスペーサ部19を、ゲート17を規定しているシリコン層の部分に隣接して形成し、マスクされたソース及びドレイン領域15及び16を規定することができる。

【0028】図6はソース領域15及びドレイン領域16の不純物注入を示す。この不純物注入はFET10の製造において高精度を得るために自己整合マスクとして使用する。1回又は複数回の注入工程が、所望の不純物



分布を得るために行われる。このイオン注入工程は液体窒素による冷却を必要とせずに行うことができる。

【0029】ソース及びドレイン領域15、16に注入している間、その各外側の表面部分は注入によって損傷を受ける。このため、この構造物は次いでソース及びドレイン領域の表面部分15d、16dを約1000℃及び約1200℃の2段階で熱処理することにより黒鉛化し、図7に示す構造を製造することが好ましい。これにより、シリコン層は炭化シリコンに変化する。この黒鉛化した表面部分15d及び16dは $\text{CrO}_3 + \text{H}_2\text{SO}_4$ の熱溶液を使用する化学的エッチング等により除去され、約 $10^{20} \text{ cm}^{-3}$ 以上の高ドーパ濃度を有するソース及びドレイン領域の高濃度ドーパされた外側の表面部分15a、16aを露出させることができる。

【0030】上述したように、2段階の熱処理はシリコン層を炭化シリコン層17に変化させる。更に、炭化シリコンは、黒鉛化した表面部分15d、16dを除去するために使用した水溶性の化学エッチングに対して耐性がある。次に、コンタクト層15b、16b及び17aを夫々ソース、ドレイン及びゲート上に、ソース、ドレイン及びゲートとの相互接続を容易にするために形成する。

【0031】次に、図8を参照して図2に示す第2の実施例のFET20の製造方法について説明する。多結晶ダイヤモンド層21は、通常の堆積法を使用して適宜の非ダイヤモンド基板22上に堆積される。次いで、このダイヤモンド層21は研磨され、好ましくは絶縁性アンドープダイヤモンドのような絶縁層23が、活性チャネル領域20（図2参照）となる部分の上のダイヤモンド層21上に堆積される。その後、図3乃至図7について説明した残りの工程を実施することにより、図2に示す実施例のFET20が製造される。

【0032】本発明の実施例に係るFET10及び20は容易に製造され、ソース及びドレイン領域15及び16の高ドーパされた表面部15a及び16aを有し、この表面部15a、16aに低抵抗のオーミック接合が得られ、これによりFETの性能及び出力処理能力を高めることができる。更に、炭化シリコンのゲート17は好ましくは光学的に透明であり、これによりFETの光学的な利用を可能にする。また、FETは自己整合工程を使用して高精度で容易に製造され、通常利用できる装置を使用して製造することができる。

【0033】なお、上述の説明から明らかなように、この発明の特徴の炭化シリコンゲート及びその他の特長は、活性なチャネル領域がダイヤモンド層を介し垂直方向に延びる垂直FETに容易に適用することができる。従って、本発明は上記各実施例に限定されず、本発明の特許請求の範囲の記載に基づく本発明の範囲内で種々の変形が可能である。

【0034】

【発明の効果】以上説明したように、本発明によれば、ソース及びドレイン用に低抵抗のオーミックコンタクトを有し、従来の装置を使用して高精度のソース、ゲート及びドレイン領域を形成することができる。

【図面の簡単な説明】

【図1】本発明に係る単結晶ダイヤモンドFETの第1の実施例を示す断面図である。

【図2】ゲートの下に絶縁層を有する本発明に係る多結晶ダイヤモンドFETの第2の実施例を示す断面図である。

【図3】図1に示す単結晶ダイヤモンドFETの製造工程の中間段階を示す断面図である。

【図4】図1に示す単結晶ダイヤモンドFETの製造工程の中間段階を示す断面図である。

【図5】図1に示す単結晶ダイヤモンドFETの製造工程の中間段階を示す断面図である。

【図6】図1に示す単結晶ダイヤモンドFETの製造工程の中間段階を示す断面図である。

【図7】図1に示す単結晶ダイヤモンドFETの製造工程の中間段階を示す断面図である。

【図8】図2に示す多結晶ダイヤモンドFETの製造工程の中間段階を示す断面図である。

【符号の説明】

10、20；FET

12、21；ダイヤモンド層

13；基板

14；活性チャネル領域

15；ソース領域

15a、16a；表面部

15b、16b、17a；導電性コンタクト層

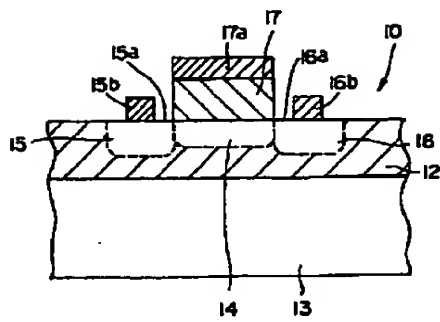
16；ドレイン領域

17；炭化シリコン層

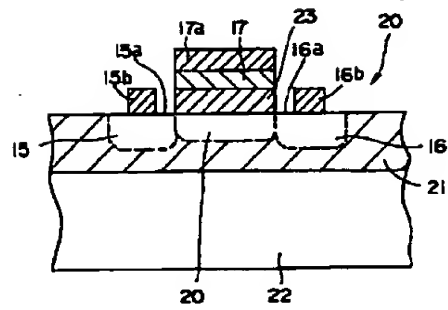
22；非ダイヤモンド基板

23；絶縁層

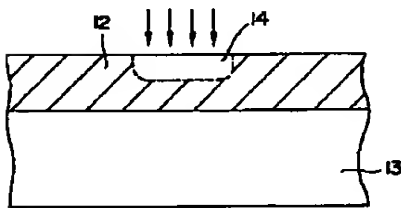
【図1】



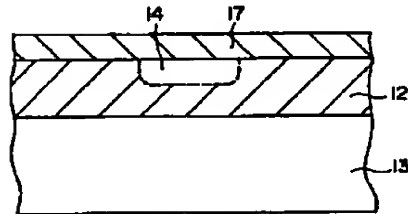
【図2】



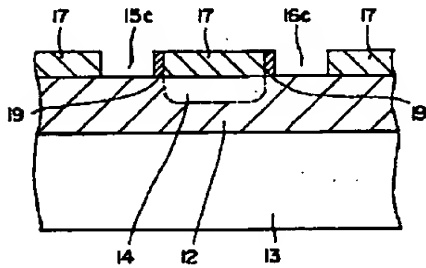
【図3】



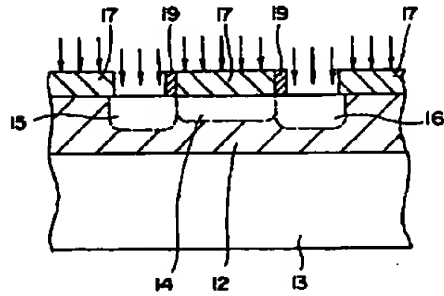
【図4】



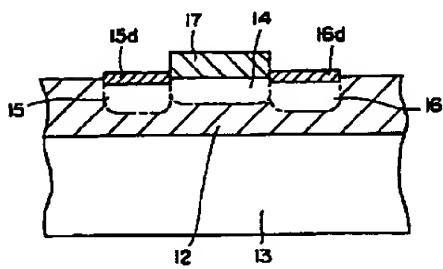
【図5】



【図6】



【図7】



【図8】

